



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07130172 A**(43) Date of publication of application: **19 . 05 . 95**

(51) Int. Cl.

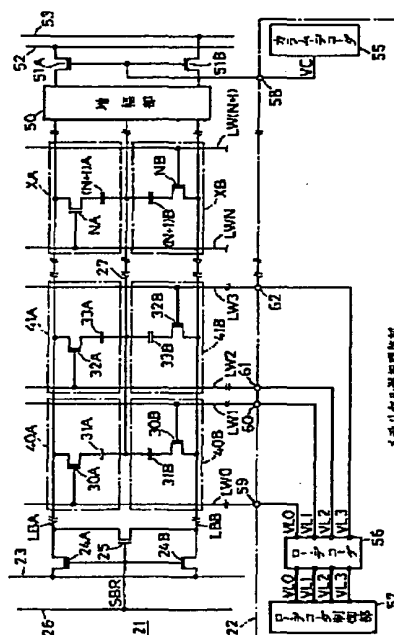
G11C 11/407
G11C 11/404
(21) Application number: **05279462**(71) Applicant: **SONY CORP**(22) Date of filing: **09 . 11 . 93**(72) Inventor: **WAKAMATSU MASATAKA**(54) **SEMICONDUCTOR MEMORY DEVICE**

(57) Abstract:

PURPOSE: To substantially make two pieces of forming parts operate as one piece by selecting simultaneously two pieces of memory cell forming parts connected with one pair of bit lines.

CONSTITUTION: Among memory selecting signals VL1 to VL3 outputted from a row decoder control part 57 to a row decoder 56, signals VL0, 1 are high levels and signals VL2, 3 are low levels or these are reversed. Therefore, since word lines LW0.1 are high levels, memory cell forming parts 40A, 40B become simultaneous selection states or lines LW2, 3 are high levels, forming parts 41A, 41B become simultaneous selection states. That is, forming parts 40A, 40B or 41A, 41B functions as one piece of a 2Tra.2Ca p type forming part and a semiconductor memory cell element part 21 functions as a D-DRAW having a 2Tra.2Ca p type folded bit line constitution.

COPYRIGHT: (C)1995,JPO



2

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-130172

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.⁶

識別記号

F I

G11C 11/407

11/404

G11C 11/34

354

D

352

C

審査請求 未請求 請求項の数 4 O L (全13頁)

(21)出願番号 特願平5-279462

(22)出願日 平成5年(1993)11月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 若松 正孝

東京都品川区北品川6丁目7番35号 ソニー株式会社内

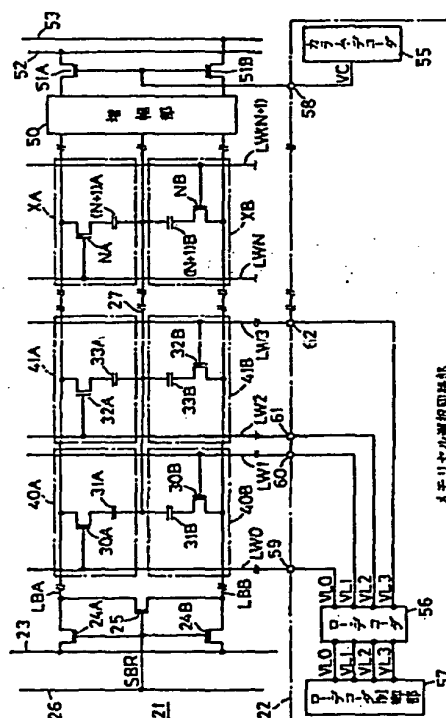
(74)代理人 弁理士 神原 貞昭

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 低減された開発・製造コストをもって得られ、しかも、2トランジスタ・2キャパシタ型の折返ビットライン構成をとるD-RAMとしての動作を行うことができる半導体メモリ装置を提供する。

【構成】 一对のビットラインLBA, LBBに夫々接続された2個のメモリセル形成部40A, 40B; 41A, 41Bが、それらにおける制御端が夫々接続された2本のワードラインLW0, LW1; LW2, LW3に供給される電圧信号に応じて選択されるものとされる、折返ビットライン構成をとる半導体メモリ素子部21と、半導体メモリ素子部21における2本のワードラインLW0, LW1; LW2, LW3の夫々に同時に所定の電圧信号を供給して、2個のメモリセル形成部40A, 40B; 41A, 41Bに夫々が同時に選択されるものとされる状態をとらせるメモリセル選択回路部22とを備える。



【特許請求の範囲】

【請求項1】 一对のビットラインに夫々接続された2個のメモリセル形成部が、該2個のメモリセル形成部における制御端が夫々接続された2本のワードラインに供給される電圧信号に応じて選択されるものとされる、折返ビットライン構成をとる半導体メモリ素子部と、
該半導体メモリ素子部における上記2本のワードラインの夫々に同時に所定の電圧信号を供給して、上記2個のメモリセル形成部に夫々が同時に選択されるものとされる状態をとらせるメモリセル選択回路部と、を備えて構成される半導体メモリ装置。

【請求項2】 メモリセル選択回路部が、半導体メモリ素子部における2本のワードラインの夫々に同時に所定の電圧信号を供給して、2個のメモリセル形成部の夫々を同時に選択されるものとなす状態と、上記半導体メモリ素子部における2本のワードラインのうちの1本に所定の電圧信号を供給して、上記2個のメモリセル形成部のうちの1個を個別に選択されるものとなす状態とを選択的にとることを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】 一对のビットラインに夫々接続された2個のメモリセル形成部の夫々が、等価的に、キャパシタと上記2個のメモリセル形成部の夫々が接続されるワードラインに供給される電圧信号に応じて上記キャパシタを上記一对のビットラインの一方に連結するスイッチとを含んで形成されることを特徴とする請求項1又は2記載の半導体メモリ装置。

【請求項4】 スイッチが絶縁ゲート型電界効果トランジスタによって形成されるとともに、キャパシタが上記絶縁ゲート型電界効果トランジスタに付随する寄生キャパシタンスにより形成されることを特徴とする請求項3記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、折返ビットライン構成をとる半導体メモリ素子における、多数のビットライン対の各々に夫々接続された2個のメモリセル形成部の選択が、それらがさらに夫々接続される2本のワードラインに接続されたメモリセル選択回路によってなされる半導体メモリ装置に関する。

【0002】

【従来の技術】 半導体メモリの一種であるダイナミック・ランダムアクセスメモリ(D-RAM)にあっては、折返ビットライン構成をとるものが広く用いられている。斯かる折返ビットライン構成をとるもののみならず、他の形式をとるものも含めたD-RAMにおいて、それに含まれる多数のメモリセル形成部は、例えば、絶縁ゲート型電界効果トランジスタ(MOS・FET)によって形成される。そして、各メモリセル形成部が、スイッチとしての役割を果たすMOS・FETとそのMO

S・FETに付随する寄生キャパシタンスによって形成されるキャパシタとを含むものとされる。

【0003】 折返ビットライン構成をとるD-RAMについては、MOS・FETとキャパシタとを含むものとされる各メモリセル形成部が、1トランジスタ・1キャパシタ型(1Tra・1Cap型)とされるものと、2トランジスタ・2キャパシタ型(2Tra・2Cap型)とされるものとが提案されている。1Tra・1Cap型の折返ビットライン構成をとるD-RAMの場合には、図4に示される如く、一对のビットラインLBa及びLBbのうちの一方であるビットラインLBaと接地電位点との間に、MOS・FET11aとそのMOS・FET11aに付随する寄生キャパシタンスによって形成される1個のキャパシタ12aとが接続されてメモリセル形成部13aが形成されるとともに、一对のビットラインLBa及びLBbのうちの他方であるビットラインLBbと接地電位点との間に、MOS・FET11bとそのMOS・FET11bに付随する寄生キャパシタンスによって形成される1個のキャパシタ12bとが接続されてメモリセル形成部13bが形成され、メモリセル形成部13aを形成するMOS・FET11aのゲート及びメモリセル形成部13bを形成するMOS・FET11bのゲートが、一对のワードラインLWa及びLWbに夫々接続されて成る基本構成がとられる。

【0004】 そして、一对のビットラインLBa及びLBbは、ビットラインLBaによりメモリセル形成部13aに書き込まれる信号データあるいはメモリセル形成部13aから読み出される信号データの伝送が行われ、また、ビットラインLBbによりメモリセル形成部13bに書き込まれる信号データあるいはメモリセル形成部13bから読み出される信号データの伝送が行われるものとされる。また、一对のワードラインLWa及びLWbは、ワードラインLWaによりメモリセル形成部13aが信号データの書き込みあるいは読出しがなされるべく選択されることになる電圧信号が供給され、また、ワードラインLWbによりメモリセル形成部13bが信号データの書き込みあるいは読出しがなされるべく選択されることになる電圧信号が供給されるものとされる。

【0005】 一方、2Tra・2Cap型の折返ビットライン構成をとるD-RAMの場合には、図5に示される如く、一对のビットラインLBa及びLBbのうちの一方であるビットラインLBaと接地電位点との間に、MOS・FET14とそのMOS・FET14に付随する寄生キャパシタンスによって形成されるキャパシタ15とが接続されるとともに、一对のビットラインLBa及びLBbのうちの他方であるビットラインLBbと接地電位点との間に、MOS・FET16とそのMOS・FET16に付随する寄生キャパシタンスによって形成されるキャパシタ17とが接続されて、MOS・FET14及び16とキャパシタ15及び17とを含む1個の

メモリセル形成部 18 が形成され、MOS・FET 14 及び 16 の夫々のゲートがワードライン LW に接続されて成る基本構成がとられる。

【0006】そして、一对のビットライン LBa 及び LBb は、メモリセル形成部 18 に書き込まれる信号データあるいはメモリセル形成部 18 から読み出される信号データを相補的に伝送するものとされる。また、ワードライン LW は、メモリセル形成部 18 が信号データの書き込みあるいは読み出しがなされるべく選択されることになる電圧信号が供給されるものとされる。

【0007】上述の如くの 1Tra・1Cap 型の折返ビットライン構成をとる D-RAM にあっては、各メモリセル形成部が、1 個のトランジスタと 1 個のキャパシタとを含んで形成されることにより、そのサイズが比較的小とされ、それゆえ、メモリセル形成部の集積度を高くしてメモリ容量を大となすことが比較的容易とされる。一方、上述の如くの 2Tra・2Cap 型の折返ビットライン構成をとる D-RAM にあっては、各メモリセル形成部が、2 個のトランジスタと 2 個のキャパシタとを含んで形成されることにより、そのサイズは 1Tra・1Cap 型の折返ビットライン構成をとる D-RAM に比して大とされることになるが、電源電圧範囲、動作温度範囲、書込/読出動作上のエラー等に対する動作マージンも、1Tra・1Cap 型の折返ビットライン構成をとる D-RAM に比して大とされることになる利点が得られる。従って、D-RAM が実際の使用に供されるに際しては、高集積度が要求されるもとにあっては、1Tra・1Cap 型の折返ビットライン構成をとる D-RAM が用いられ、また、動作マージンが大であることが要求されるもとにあっては、2Tra・2Cap 型の折返ビットライン構成をとる D-RAM が用いられることになる。

【0008】

【発明が解決しようとする課題】このようなもとの、実際の使用に際しての要求に応じて使い分けられる 1Tra・1Cap 型の折返ビットライン構成をとる D-RAM と 2Tra・2Cap 型の折返ビットライン構成をとる D-RAM とは、各々が個別に開発及び製造がなされるものとされているが、夫々についての開発及び製造に要されるコストは決して低廉ではなく、その結果、価格の高騰がまねかされている。そのため、開発・製造コストが引き下げられて低価格化が図られる 1Tra・1Cap 型の折返ビットライン構成をとる D-RAM 及び 2Tra・2Cap 型の折返ビットライン構成をとる D-RAM の出現が待たれている。

【0009】また、特に、2Tra・2Cap 型の折返ビットライン構成をとる D-RAM の場合には、各メモリセル形成部を構成する 2 組のトランジスタとキャパシタとの組が、書込動作もしくは読出動作を相補的に行うものとされるので、実際の使用に供されるに先立つての

欠陥検出テスト時に、2 組のトランジスタとキャパシタとの組の夫々の欠陥を漏れなく検出することが困難とされるという問題がある。

【0010】斯かる点に鑑み、本発明は、1Tra・1Cap 型の折返ビットライン構成をとる D-RAM の開発コストとは別個のものとされる開発コストを要さず、従って、低減された開発・製造コストをもって得られ、しかも、2Tra・2Cap 型の折返ビットライン構成をとる D-RAM としての動作を行うことができる半導体メモリ装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上述の目的を達成すべく、本発明に係る半導体メモリ装置は、一对のビットラインに夫々接続された 2 個のメモリセル形成部が、それらにおける制御端が夫々接続された 2 本のワードラインに供給される電圧信号に応じて選択されるものとされる、折返ビットライン構成をとる半導体メモリ素子部と、半導体メモリ素子部における 2 本のワードラインの夫々に同時に所定の電圧信号を供給して、一对のビットラインに夫々接続された 2 個のメモリセル形成部に夫々が同時に選択されるものとされる状態をとらせるメモリセル選択回路部とを備えて構成される。

【0012】

【作用】上述の如くに構成される本発明に係る半導体メモリ装置にあっては、一对のビットラインに夫々接続された 2 個のメモリセル形成部が、それらにおける制御端が夫々接続された 2 本のワードラインに供給される電圧信号に応じて選択されるものとされて、折返ビットライン構成をとり、従って、1Tra・1Cap 型の折返ビットライン構成をとる D-RAM と同等の構成をとる半導体メモリ素子部が、メモリセル選択回路部により、一对のビットラインに夫々接続された 2 個のメモリセル形成部の夫々が同時に選択され、それにより、同時に選択される 2 個のメモリセル形成部が実質的に 1 個のメモリセル形成部として動作する状態、即ち、実質的に 2Tra・2Cap 型の折返ビットライン構成をとる D-RAM としての動作状態をとるものとされる。それゆえ、本発明に係る半導体メモリ装置は、1Tra・1Cap 型の折返ビットライン構成をとる D-RAM の開発コストとは別個のものとされる開発コストを要さず、従って、低減された開発・製造コストをもって得られるもとの、2Tra・2Cap 型の折返ビットライン構成をとる D-RAM としての動作を行うことができるものとされることになる。

【0013】また、本発明に係る半導体メモリ装置にあっては、メモリセル選択回路部によって、半導体メモリ素子部が、実質的に 2Tra・2Cap 型の折返ビットライン構成をとる D-RAM としての動作状態と 1Tra・1Cap 型の折返ビットライン構成をとる D-RAM としての動作状態とを選択的にとることができるもの

10

20

30

40

50

とされることが容易であり、例えば、実際の使用に供されるに先立っての欠陥検出テスト時には、1Tra・1Cap型の折返ビットライン構成をとるDRAMとしての動作状態をとるものとされることにより、各メモリセル形成部についての欠陥が漏れなく検出されるものとされる。

【0014】

【実施例】図1は、本発明に係る半導体メモリ装置の一例を示す。この図1に示される例は、半導体メモリ素子部21とメモリセル選択回路部22とを含んで構成され 10

【0015】半導体メモリ素子部21においては、電源電圧供給ライン23にMOS・FET24Aのドレインソース通路を介して接続されたビットラインLBAと電源電圧供給ライン23にMOS・FET24Bのドレインソース通路を介して接続されたビットラインLBBとが、ビットライン対を成すものとして設けられている。図示が省略されているが、半導体メモリ素子部21には、斯かるビットライン対が多数並列配置されている。また、ビットラインLBAとビットラインLBBと 20 の間には、MOS・FET25のドレインソース通路が接続されている。そして、MOS・FET24A、24B及び25の夫々のゲートには、ビットライン・リセット信号供給ライン26を通じてビットライン・リセット信号SBRが供給される。

【0016】そして、ビットラインLBAと接地ライン27との間に、MOS・FET30Aのドレインソース通路とMOS・FET30Aに付随する寄生キャパシタンスによって形成されるキャパシタ31Aとが接続されてメモリセル形成部40Aが形成されるとともに、ビットラインLBBと接地ライン27との間に、MOS・FET30Bのドレインソース通路とMOS・FET30Bに付随する寄生キャパシタンスによって形成されるキャパシタ31Bとが接続されてメモリセル形成部40Bが形成され、メモリセル形成部40Aを形成するMOS・FET30Aのゲート及びメモリセル形成部40Bを形成するMOS・FET30Bのゲートが、メモリセル形成部40A及び40Bにおける制御端を形成するものとして、一対のワードラインLW0及びLW1に夫々接続されている。同様に、メモリセル形成部40A及び40Bに夫々隣接して、ビットラインLBAと接地ライン27との間に、MOS・FET32Aのドレインソース通路とMOS・FET32Aに付随する寄生キャパシタンスによって形成されるキャパシタ33Aとが接続されてメモリセル形成部41Aが形成されるとともに、ビットラインLBBと接地ライン27との間に、MOS・FET32Bのドレインソース通路とMOS・FET32Bに付随する寄生キャパシタンスによって形成されるキャパシタ33Bとが接続されてメモリセル形成部41Bが形成され、メモリセル形成部41Aを形成 50

するMOS・FET32Aのゲート及びメモリセル形成部41Bを形成するMOS・FET32Bのゲートが、メモリセル形成部41A及び41Bにおける制御端を形成するものとして、一対のワードラインLW2及びLW3に夫々接続されている。

【0017】図示が省略されているが、一対のビットラインLBA及びLBBには、斯かる4本の相互に隣接するワードラインLW0、LW1、LW2及びLW3に夫々接続されたゲートを有するMOS・FET30A、30B、32A及び32Bを含んで形成される4個のメモリセル形成部40A、40B、41A及び41Bの組と同様のものとされる4個のメモリセル形成部の組が、多数並行接続されており、ビットラインLBAと接地ライン27との間に、MOS・FET〔NA〕のドレインソース通路とMOS・FET〔NA〕に付随する寄生キャパシタンスによって形成されるキャパシタ(N+1)Aとが接続されて成り、MOS・FET〔NA〕のゲートが制御端としてワードラインLWNに接続されたメモリセル形成部XA、及び、ビットラインLBBと接地ライン27との間に、MOS・FET〔NB〕のドレインソース通路とMOS・FET〔NB〕に付随する寄生キャパシタンスによって形成されるキャパシタ(N+1)Bとが接続されて成り、MOS・FET〔NB〕のゲートが制御端としてワードラインLW(N+1)に接続されたメモリセル形成部XBは、その一部を構成している。

【0018】また、ビットラインLBAは、メモリセル形成部からビットラインLBA及びビットラインLBBに読み出されたデータを増幅する増幅部50を通じ、さらに、MOS・FET51Aのドレインソース通路を介して、一対の入出力ライン52及び53のうち的一方である入出力ライン52に接続されている。同様に、ビットラインLBBは、増幅部50を通じ、さらに、MOS・FET51Bのドレインソース通路を介して、一対の入出力ライン52及び53のうち他方である入出力ライン53に接続されている。

【0019】一方、メモリセル選択回路部22は、上述の如くにして半導体メモリ素子部21における多数のビットライン対に接続された多数のメモリセル形成部を、例えば、各ビットライン対に接続された上述の4個のメモリセル形成部の組を区分単位として区分したもとで、それらのうちから信号データの書込みもしくは読出しが行われるべきメモリセル形成部を選択する選択動作を行うものとされている。そして、メモリセル選択回路部22には、半導体メモリ素子部21における一対のビットラインLBA及びLBBに接続された4個のメモリセル形成部40A、40B、41A及び41Bの組を対象とした選択動作を行う部分として、カラム・デコーダ55、ロー・デコーダ56及びロー・デコーダ制御部57とから成る回路部分が含まれている。

【0020】カラム・デコーダ55は、接続端子58を介して、半導体メモリ素子部21におけるMOS・FET51A及び51Bの夫々のゲートに連結されており、ビットライン選択信号VCをMOS・FET51A及び51Bの夫々のゲートに供給する。カラム・デコーダ55からのビットライン選択信号VCは電圧信号とされ、それが高レベルをとるものとされるとき、MOS・FET51A及び51Bがオン状態をとるものとされて、一対のビットラインLBA及びLBBが選択される。

【0021】また、ロー・デコーダ56は、接続端子59, 60, 61及び62を介して、夫々、ワードラインLW0, LW1, LW2及びLW3に接続されており、メモリセル選択信号VL0, VL1, VL2及びVL3が、ロー・デコーダ56を通じて、ワードラインLW0, LW1, LW2及びLW3に夫々供給される。メモリセル選択信号VL0, VL1, VL2及びVL3の各々は電圧信号とされ、一対のビットラインLBA及びLBBが選択されているもとで、メモリセル選択信号VL0が高レベルをとるとき、それがワードラインLW0を通じてMOS・FET30Aのゲートに供給され、MOS・FET30Aがオン状態をとるものとされて、メモリセル形成部40Aが選択される。同様に、一対のビットラインLBA及びLBBが選択されているもとで、メモリセル選択信号VL1, VL2もしくはVL3が高レベルをとるとき、それがワードラインLW1, LW2もしくはLW3を通じてMOS・FET30B, 32Aもしくは32Bのゲートに供給され、MOS・FET30B, 32Aもしくは32Bがオン状態をとるものとされて、メモリセル形成部40B, 41Aもしくは41Bが選択される。

【0022】このような、ロー・デコーダ56を通じたメモリセル選択信号VL0, VL1, VL2及びVL3のワードラインLW0, LW1, LW2及びLW3への供給は、ロー・デコーダ56が、ロー・デコーダ制御部57により形成されてロー・デコーダ56に供給されるメモリセル選択信号VL0, VL1, VL2及びVL3を、夫々、ワードラインLW0, LW1, LW2及びLW3へと選択的に通過させることにより行われる。

【0023】図2は、ロー・デコーダ56の具体構成例を示す。この図2に示されるロー・デコーダ56の例においては、入力端子65, 66, 67及び68に、ロー・デコーダ制御部57からのメモリセル選択信号VL0, VL1, VL2及びVL3が夫々供給される。また、デコーダアドレス信号発生部69からのデコーダアドレス信号DD0, DD1及びDD2が、MOS・FET70, 71及び72の各々のゲートに夫々供給される。

【0024】そして、デコーダアドレス信号DD0, DD1及びDD2によってMOS・FET70, 71及び72の各々がオン状態とされるとき、ゲートにプリチャ

ージ信号SPCが供給されるMOS・FET73及びそれに対して並列接続されたMOS・FET74の夫々とMOS・FET70との間の接続点Pに、低レベルをとる電圧信号VDが得られる。この接続点Pに得られる低レベルをとる電圧信号VDは、レベルインバータ75を通じて高レベルをとる電圧信号VD' とされ、イネーブル信号SECがゲートに供給されてオン状態をとるものとされるMOS・FET76, 77, 78及び79を通じて、MOS・FET80, 81, 82及び83の夫々のゲートに供給される。さらに、レベルインバータ75からの高レベルをとる電圧信号DV' は、レベルインバータ84を通じて低レベルをとる電圧信号VDに戻された後、MOS・FET85, 86, 87及び88の夫々のゲートに供給される。それにより、MOS・FET80, 81, 82及び83の夫々がオン状態とされるときにも、MOS・FET85, 86, 87及び88の夫々がオフ状態とされる。

【0025】その結果、入力端子65, 66, 67及び68にロー・デコーダ制御部57から供給されるメモリセル選択信号VL0, VL1, VL2及びVL3が、夫々、MOS・FET80, 81, 82及び83を通じて、出力端子90, 91, 92及び93に導出される。そして、出力端子90, 91, 92及び93に夫々導出されたメモリセル選択信号VL0, VL1, VL2及びVL3は、出力端子90, 91, 92及び93から、接続端子59, 60, 61及び62を通じて、ワードラインLW0, LW1, LW2及び3に夫々供給される。

【0026】一方、デコーダアドレス信号DD0, DD1及びDD2によってMOS・FET70, 71及び72のうちの少なくとも一つがオフ状態とされるときには、接続点Pに、MOS・FET74に供給される電源電圧(+B)に基づく高レベルをとる電圧信号VDが得られる。それにより、レベルインバータ75からの低レベルをとる電圧信号VD' がMOS・FET80, 81, 82及び83の夫々のゲートに供給されるときにも、高レベルをとる電圧信号VDがMOS・FET85, 86, 87及び88の夫々のゲートに供給される。従って、入力端子65, 66, 67及び68にロー・デコーダ制御部57から供給されるメモリセル選択信号VL0, VL1, VL2及びVL3の出力端子90, 91, 92及び93への導出はなされず、その結果、メモリセル選択信号VL0, VL1, VL2及びVL3の、ロー・デコーダ56及び接続端子59, 60, 61及び62を通じたワードラインLW0, LW1, LW2及び3への供給はなされない。

【0027】図3は、ロー・デコーダ制御部57の具体構成例を示す。この図3に示されるロー・デコーダ制御部57の例においては、モード選択信号発生部100からのモード選択信号SMがオアゲート101, 102, 103及び104の夫々における一方の入力端に供給さ

れる。モード選択信号SMは、半導体メモリ素子部21を2Tra・2Cap型の折返ビットライン構成をとるD-RAMとして機能させる第1の動作モードと、半導体メモリ素子部21を1Tra・1Cap型の折返ビットライン構成をとるD-RAMとして機能させる第2の動作モードとを、適宜選択するものとされ、第1の動作モードを選択するときには高レベルをとり、また、第2の動作モードを選択するときには低レベルをとるものとされる。

【0028】さらに、選択制御信号発生部105Aから10の選択制御信号SA0, SA1, SA2及びSA3が、夫々、オアゲート101, 102, 103及び104の夫々における他方の入力端に供給される。選択制御信号SA0, SA1, SA2及びSA3の夫々も、高レベルと低レベルとを選択的にとる。従って、オアゲート101, 102, 103及び104の出力端に得られるオアゲート出力信号S00, S01, S02及びS03は、モード選択信号発生部100からのモード選択信号SMが高レベルをとるものとされて、第1の動作モードが選択されるときには、選択制御信号SA0, SA1, SA2及びSA3のレベルの如何にかかわらず、高レベルをとるものとされ、また、モード選択信号発生部100からのモード選択信号SMが低レベルをとるものとされて、第2の動作モードが選択されるときには、選択制御信号SA0, SA1, SA2及びSA3の夫々のレベルに応じて、高レベルもしくは低レベルをとるものとされる。そして、オアゲート101, 102, 103及び104の出力端に得られるオアゲート出力信号S00, S01, S02及びS03は、MOS・FET106, 107, 108及び109の各々におけるゲートに、夫々供給される。30

【0029】さらに、選択制御信号発生部105Bからの選択制御信号SB0, SB1, SB2及びSB3が、夫々、MOS・FET110, 111, 112及び113の各々におけるゲートに供給される。選択制御信号SB0, SB1, SB2及びSB3の夫々も、高レベルと低レベルとを選択的にとるものとされる。

【0030】斯かるもとで、オアゲート101の出力端に得られるオアゲート出力信号S00及び選択制御信号発生部105Bからの選択制御信号SB0が共に高レベルをとるものとされて、MOS・FET106及び110の各々がオン状態とされるとき、ゲートにプリチャージ信号SPCが供給されるMOS・FET114及びそれに対して並列接続されたMOS・FET115の夫々とMOS・FET110との間の接続点P0に、低レベルをとる電圧信号EV0が得られる。この接続点P0に得られる低レベルをとる電圧信号EV0は、レベルインバータ116を通じて高レベルをとる電圧信号EV0'とされ、イネーブル信号SECがゲートに供給されてオン状態をとるものとされるMOS・FET117を通じ 50

て、MOS・FET118のゲートに供給される。さらに、レベルインバータ116からの高レベルをとる電圧信号EV0'は、レベルインバータ119を通じて低レベルをとる電圧信号EV0に戻された後、MOS・FET120のゲートに供給される。それにより、MOS・FET118がオン状態とされるときに、MOS・FET120がオフ状態とされる。

【0031】その結果、MOS・FET118とMOS・FET120との間の接続点Q0に、MOS・FET118に供給される電源電圧(+B)に基づく高レベルをとるメモリセル選択信号VL0が得られ、それが出力端子121を通じてロー・デコーダ56における入力端子65に供給される。

【0032】それに対して、オアゲート101の出力端に得られるオアゲート出力信号S00及び選択制御信号発生部105Bからの選択制御信号SB0のうちの少なくとも一方が低レベルをとるものとされて、MOS・FET106及び110のうちの少なくとも一方がオフ状態とされるときには、接続点P0に、MOS・FET115に供給される電源電圧(+B)に基づく高レベルをとる電圧信号EV0が得られる。それにより、レベルインバータ116からの低レベルをとる電圧信号EV0'がMOS・FET118のゲートに供給されるときに、高レベルをとる電圧信号EV0がMOS・FET120のゲートに供給される。それにより、MOS・FET118がオフ状態とされるときに、MOS・FET120がオン状態とされ、その結果、接続点Q0に、低レベルをとるメモリセル選択信号VL0が得られ、それが出力端子121を通じてロー・デコーダ56における入力端子65に供給される。

【0033】同様に、オアゲート102の出力端に得られるオアゲート出力信号S01及び選択制御信号発生部105Bからの選択制御信号SB1が共に高レベルをとるものとされて、MOS・FET107及び111の各々がオン状態とされるとき、ゲートにプリチャージ信号SPCが供給されるMOS・FET122及びそれに対して並列接続されたMOS・FET123の夫々とMOS・FET111との間の接続点P1に、低レベルをとる電圧信号EV1が得られる。この接続点P1に得られる低レベルをとる電圧信号EV1は、レベルインバータ124を通じて高レベルをとる電圧信号EV1'とされ、イネーブル信号SECがゲートに供給されてオン状態をとるものとされるMOS・FET125を通じて、MOS・FET126のゲートに供給される。さらに、レベルインバータ124からの高レベルをとる電圧信号EV1'は、レベルインバータ127を通じて低レベルをとる電圧信号EV1に戻された後、MOS・FET128のゲートに供給される。それにより、MOS・FET126がオン状態とされるときに、MOS・FET128がオフ状態とされる。

【0034】その結果、MOS・FET126とMOS・FET128との間の接続点Q1に、MOS・FET126に供給される電源電圧(+B)に基づく高レベルをとるメモリセル選択信号VL1が得られ、それが出力端子129を通じてロー・デコーダ56における入力端子66に供給される。

【0035】それに対して、オアゲート102の出力端に得られるオアゲート出力信号SO1及び選択制御信号発生部1095Bからの選択制御信号SB1のうちの少なくとも一方が低レベルをとるものとされて、MOS・FET107及び111のうちの少なくとも一方がオフ状態とされるときには、接続点P1に、MOS・FET123に供給される電源電圧(+B)に基づく高レベルをとる電圧信号EV1が得られる。それにより、レベルインバータ124からの低レベルをとる電圧信号EV1'がMOS・FET126のゲートに供給されるとともに、高レベルをとる電圧信号EV1がMOS・FET128のゲートに供給される。それにより、MOS・FET126がオフ状態とされとともに、MOS・FET128がオン状態とされ、その結果、接続点Q1に、低レベルをとるメモリセル選択信号VL1が得られ、それが出力端子129を通じてロー・デコーダ56における入力端子66に供給される。

【0036】また、オアゲート103の出力端に得られるオアゲート出力信号SO2及び選択制御信号発生部105Bからの選択制御信号SB2が共に高レベルをとるものとされて、MOS・FET108及び112の各々がオン状態とされるとき、ゲートにプリチャージ信号SPCが供給されるMOS・FET130及びそれに対して並列接続されたMOS・FET131の夫々とMOS・FET112との間の接続点P2に、低レベルをとる電圧信号EV2が得られる。この接続点P2に得られる低レベルをとる電圧信号EV2は、レベルインバータ132を通じて高レベルをとる電圧信号EV2'とされ、イネーブル信号SECがゲートに供給されてオン状態をとるものとされるMOS・FET133を通じて、MOS・FET134のゲートに供給される。さらに、レベルインバータ132からの高レベルをとる電圧信号EV2'は、レベルインバータ135を通じて低レベルをとる電圧信号EV2に戻された後、MOS・FET136のゲートに供給される。それにより、MOS・FET134がオン状態とされとともに、MOS・FET136がオフ状態とされる。

【0037】その結果、MOS・FET134とMOS・FET136との間の接続点Q2に、MOS・FET134に供給される電源電圧(+B)に基づく高レベルをとるメモリセル選択信号VL2が得られ、それが出力端子137を通じてロー・デコーダ56における入力端子67に供給される。

【0038】それに対して、オアゲート103の出力端

に得られるオアゲート出力信号SO2及び選択制御信号発生部105Bからの選択制御信号SB2のうちの少なくとも一方が低レベルをとるものとされて、MOS・FET108及び112のうちの少なくとも一方がオフ状態とされるときには、接続点P2に、MOS・FET131に供給される電源電圧(+B)に基づく高レベルをとる電圧信号EV2が得られる。それにより、レベルインバータ132からの低レベルをとる電圧信号EV2'がMOS・FET134のゲートに供給されるとともに、高レベルをとる電圧信号EV2がMOS・FET136のゲートに供給される。それにより、MOS・FET134がオフ状態とされとともに、MOS・FET136がオン状態とされ、その結果、接続点Q2に、低レベルをとるメモリセル選択信号VL2が得られ、それが出力端子137を通じてロー・デコーダ56における入力端子67に供給される。

【0039】さらに、オアゲート104の出力端に得られるオアゲート出力信号SO3及び選択制御信号発生部105Bからの選択制御信号SB3が共に高レベルをとるものとされて、MOS・FET109及び113の各々がオン状態とされるとき、ゲートにプリチャージ信号SPCが供給されるMOS・FET138及びそれに対して並列接続されたMOS・FET139の夫々とMOS・FET113との間の接続点P3に、低レベルをとる電圧信号EV3が得られる。この接続点P3に得られる低レベルをとる電圧信号EV3は、レベルインバータ140を通じて高レベルをとる電圧信号EV3'とされ、イネーブル信号SECがゲートに供給されてオン状態をとるものとされるMOS・FET141を通じて、MOS・FET142のゲートに供給される。さらに、レベルインバータ140からの高レベルをとる電圧信号EV3'は、レベルインバータ143を通じて低レベルをとる電圧信号EV3に戻された後、MOS・FET144のゲートに供給される。それにより、MOS・FET142がオン状態とされとともに、MOS・FET144がオフ状態とされる。

【0040】その結果、MOS・FET142とMOS・FET144との間の接続点Q3に、MOS・FET142に供給される電源電圧(+B)に基づく高レベルをとるメモリセル選択信号VL3が得られ、それが出力端子145を通じてロー・デコーダ56における入力端子68に供給される。

【0041】それに対して、オアゲート104の出力端に得られるオアゲート出力信号SO3及び選択制御信号発生部1095Bからの選択制御信号SB3のうちの少なくとも一方が低レベルをとるものとされて、MOS・FET109及び113のうちの少なくとも一方がオフ状態とされるときには、接続点P3に、MOS・FET139に供給される電源電圧(+B)に基づく高レベルをとる電圧信号EV3が得られる。それにより、レベル

インバータ140からの低レベルをとる電圧信号EV3'がMOS・FET142のゲートに供給されるとともに、高レベルをとる電圧信号EV3がMOS・FET144のゲートに供給される。それにより、MOS・FET142がオフ状態とされとともに、MOS・FET144がオン状態とされ、その結果、接続点Q3に、低レベルをとるメモリセル選択信号VL3が得られ、それが出力端子145を通じてロー・デコーダ56における入力端子68に供給される。

【0042】このようなもとで、選択制御信号発生部105Aからの選択制御信号SA0～SA3及び選択制御信号発生部105Bからの選択制御信号SB0～SB3は、下記の表1に示される状態A、状態B、状態C及び状態Dの如くのレベル状態におかれるように設定される。なお、HIは高レベルをあらわし、LOは低レベルをあらわす。

【0043】

【表1】

	状態A	状態B	状態C	状態D
SA0	HI	LO	HI	LO
SA1	LO	HI	LO	HI
SA2	HI	LO	HI	LO
SA3	LO	HI	LO	HI
SB0	HI	HI	LO	LO
SB1	HI	HI	LO	LO
SB2	LO	LO	HI	HI
SB3	LO	LO	HI	HI

【0044】従って、モード選択信号発生部100からのモード選択信号SMが高レベルをとるものとされて、第1の動作モードが選択されるときには、選択制御信号発生部105Aからの選択制御信号SA0～SA3の夫々のレベルの如何にかかわらず、オアゲート101～104の出力端に夫々得られるオアゲート出力信号S00～S03の各々が高レベルをとるものとされるので、選択制御信号発生部105Bからの選択制御信号SB0～

SB3のレベルに応じたレベルをとるものとされる接続点P0～P3に夫々得られる電圧信号EV0～EV3、及び、接続点Q0～Q3に夫々得られるメモリセル選択信号VL0～VL3は、状態A、状態B、状態C及び状態Dのもとで、下記の表2に示される如くのレベル状態におかれるものとされる。

【0045】

【表2】

	状態A	状態B	状態C	状態D
EV0	LO	LO	HI	HI
EV1	LO	LO	HI	HI
EV2	HI	HI	LO	LO
EV3	HI	HI	LO	LO
VL0	HI	HI	LO	LO
VL1	HI	HI	LO	LO
VL2	LO	LO	HI	HI
VL3	LO	LO	HI	HI

【0046】即ち、モード選択信号発生部100からのモード選択信号SMが高レベルをとるものとされて、第1の動作モードが選択されるときには、ロー・デコーダ制御部57により形成されてロー・デコーダ56に供給されるメモリセル選択信号VL0～VL3が、メモリセル選択信号VL0及びVL1が共に高レベルで、かつ、メモリセル選択信号VL2及びVL3が共に低レベルとされるか、もしくは、メモリセル選択信号VL0及びVL1が共に低レベルで、かつ、メモリセル選択信号VL

2及びVL3が共に高レベルとされることになる。従って、斯かるメモリセル選択信号VL0～VL3がロー・デコーダ56を通じてワードラインLW0～LW3に夫々供給される半導体メモリ素子部21にあつては、ワードラインLW0及びLW1に同時に高レベルをとるメモリセル選択信号VL0及びVL1が供給されて、メモリセル形成部40A及び40Bが同時に選択される状態、もしくは、ワードラインLW2及びLW3に同時に高レベルをとるメモリセル選択信号VL2及びVL3が供給

されて、メモリセル形成部41A及び41Bが同時に選択される状態がとられることになる。

【0047】このように、半導体メモリ素子部21において、メモリセル形成部40A及び40Bが同時に選択される状態、及び、メモリセル形成部41A及び41Bが同時に選択される状態は、夫々、メモリセル形成部40A及び40Bが実質的に1個の2Tra・2Cap形式のメモリセル形成部として機能する状態、及び、メモリセル形成部41A及び41Bが実質的に1個の2Tra・2Cap形式のメモリセル形成部として機能する状態である。従って、斯かるもとでは、半導体メモリ素子部21は、2Tra・2Cap型の折返ビットライン構成をとるD-RAMとして機能するものとされることになる。

【0048】それに対して、モード選択信号発生部10

0からのモード選択信号SMが低レベルをとるものとされて、第2の動作モードが選択されるときには、オアゲート101~104の出力端に夫々得られるオアゲート出力信号S00~S03が、夫々、選択制御信号発生部105Aからの選択制御信号SA0, SA1, SA2及びSA3のレベルに応じて、高レベルもしくは低レベルをとるものとされるので、接続点P0~P3に夫々得られる電圧信号EV0~EV3、及び、接続点Q0~Q3に夫々得られるメモリセル選択信号VL0~VL3は、状態A、状態B、状態C及び状態Dのもとで、下記の表3に示される如くのレベル状態におかれるものとされる。

【0049】

【表3】

	状態A	状態B	状態C	状態D
EV0	LO	HI	HI	HI
EV1	HI	LO	HI	HI
EV2	HI	HI	LO	HI
EV3	HI	HI	HI	LO
VL0	HI	LO	LO	LO
VL1	LO	HI	LO	LO
VL2	LO	LO	HI	LO
VL3	LO	LO	LO	HI

【0050】即ち、モード選択信号発生部100からのモード選択信号SMが低レベルをとるものとされて、第2の動作モードが選択されるときには、ロー・デコーダ制御部57により形成されてロー・デコーダ56に供給されるメモリセル選択信号VL0~VL3が、それらのうちの何れか一つのみが高レベルとされることになる。従って、斯かるメモリセル選択信号VL0~VL3がロー・デコーダ56を通じてワードラインLW0~LW3に夫々供給される半導体メモリ素子部21にあっては、ワードラインLW0~LW3のうちの何れか一つのみに高レベルをとるメモリセル選択信号VL0~VL3のうちの一つが供給されて、メモリセル形成部40A、40B、41A及び41Bのうちの一つが選択される状態がとられることになる。その結果、斯かるもとでは、半導体メモリ素子部21は、1Tra・1Cap型の折返ビットライン構成をとるD-RAMとして機能するものとされることになる。

【0051】上述の如くの本発明に係る半導体メモリ装置の一例にあっては、半導体メモリ素子部21が、従来の1Tra・1Cap型の折返ビットライン構成をとるD-RAMと同等の構成を有するものとされたもとで、メモリセル選択回路部22により第1の動作モードが選択される状態とされることにより、2Tra・2Cap

型の折返ビットライン構成をとるD-RAMとしての動作、即ち、電源電圧範囲、動作温度範囲、書込/読出動作上のエラー等に対する動作マージンが大とされたもとの動作を行うことができることになる。また、例えば、実際の使用に供されるに先立っての欠陥検出テストが行われるに際しては、メモリセル選択回路部22により第2の動作モードが選択される状態とされることにより、1Tra・1Cap型の折返ビットライン構成をとるD-RAMとしての動作を行うものとされることが可能とされ、それにより、各メモリセル形成部についての欠陥検出が漏れなく行われることになる。

【0052】

【発明の効果】以上の説明から明らかな如くに、本発明に係る半導体メモリ装置にあっては、1Tra・1Cap型の折返ビットライン構成をとるD-RAMと同等の構成をとる半導体メモリ素子部が、メモリセル選択回路部により、一対のビットラインに夫々接続された2個のメモリセル形成部の夫々が同時に選択され、それにより、同時に選択される2個のメモリセル形成部が実質的に1個のメモリセル形成部として動作する状態、即ち、実質的に2Tra・2Cap型の折返ビットライン構成をとるD-RAMとしての動作状態をとることができるものとされる。それゆえ、本発明に係る半導体メモリ装

17

置は、1Tra・1Cap型の折返ビットライン構成をとるD-RAMの開発コストとは別個のものとされる開発コストを要さず、従って、低減された開発・製造コストをもって得られるもとで、2Tra・2Cap型の折返ビットライン構成をとるD-RAMとしての動作を行うことができるものとされる。

【0053】また、本発明に係る半導体メモリ装置は、メモリセル選択回路部によって、半導体メモリ素子部が、実質的に2Tra・2Cap型の折返ビットライン構成をとるD-RAMとしての動作状態と1Tra・1Cap型の折返ビットライン構成をとるD-RAMとしての動作状態とを選択的にとることができるものとされる状態が容易に得られるものとされ、例えば、実際の使用に供されるに先立っての欠陥検出テスト時には、1Tra・1Cap型の折返ビットライン構成をとるD-RAMとしての動作状態をとるものとされることにより、各メモリセル形成部についての欠陥が漏れなく、確実に検出されるものとされることになる。

【図面の簡単な説明】

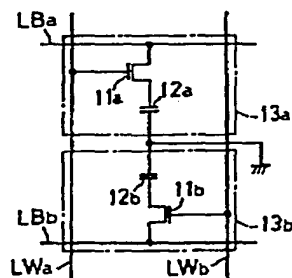
【図1】本発明に係る半導体メモリ装置の一例を示す構成図である。

【図2】本発明に係る半導体メモリ装置の一例におけるメモリセル選択回路部を構成するロー・デコーダの具体構成例を示す回路図である。

【図3】本発明に係る半導体メモリ装置の一例におけるメモリセル選択回路部を構成するロー・デコーダ制御部の具体構成例を示す回路図である。

【図4】1Tra・1Cap型の折返ビットライン構成

【図4】



18

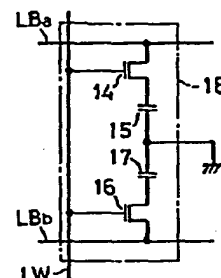
をとるD-RAMにおけるメモリセル形成部の説明に供される回路図である。

【図5】2Tra・2Cap型の折返ビットライン構成をとるD-RAMにおけるメモリセル形成部の説明に供される回路図である。

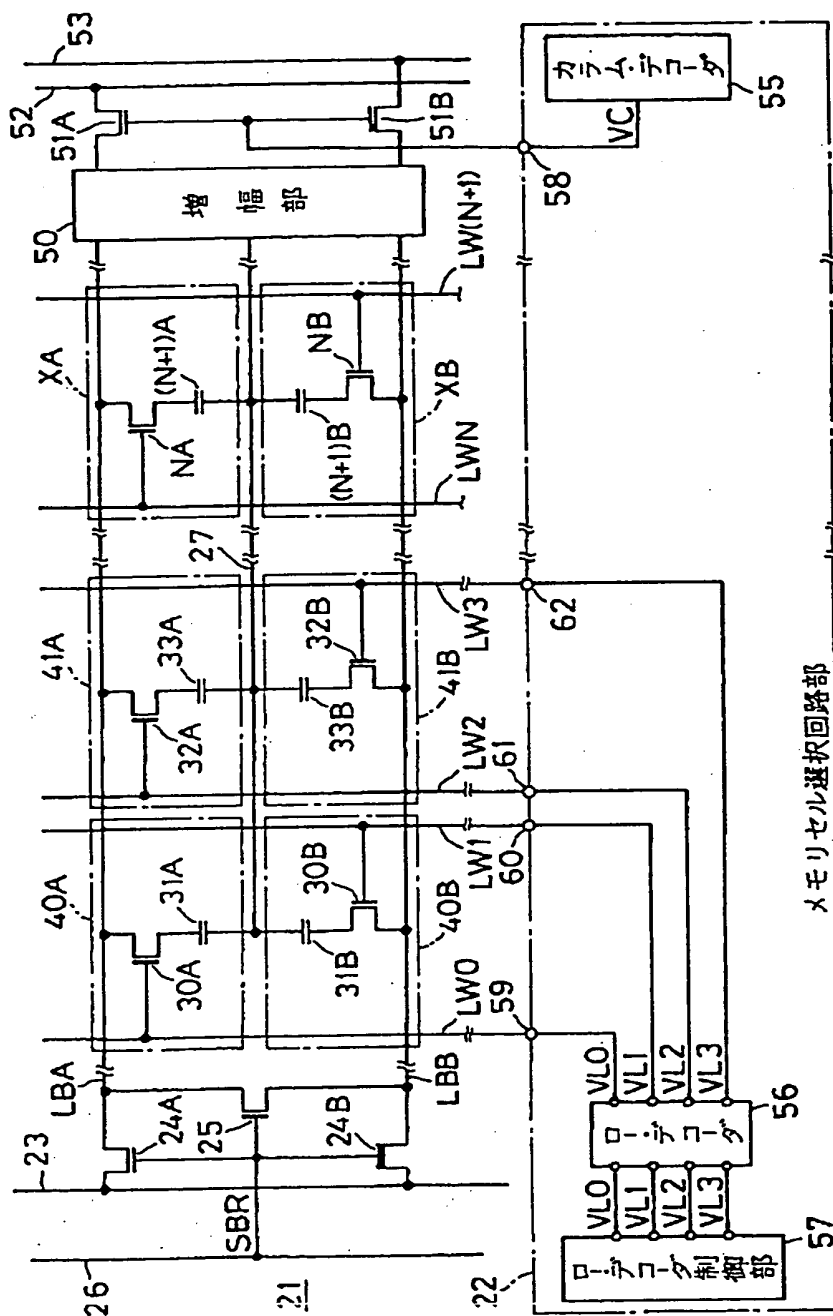
【符号の説明】

- 21 半導体メモリ素子部
- 22 メモリセル選択回路部
- 23 電源電圧供給ライン
- 31A, 31B, 33A, 33B, (N+1)A, (N+1)B キャパシタ
- 40A, 40B, 41A, 41B, XA, XB メモリセル形成部
- 50 増幅部
- 52, 53 入出力ライン
- 55 カラム・デコーダ
- 56 ロー・デコーダ
- 57 ロー・デコーダ制御部
- 58, 59, 60, 61, 62 接続端子
- 65, 66, 67, 68 入力端子
- 69 デコーダアドレス信号発生部
- 90, 91, 92, 93, 121, 129, 137, 145 出力端子
- 100 モード選択信号発生部
- 105A, 105B 選択制御信号発生部
- LBA, LBB ビットライン
- LW0, LW1, LW2, LW3, LWN, LW(N+1) ワードライン

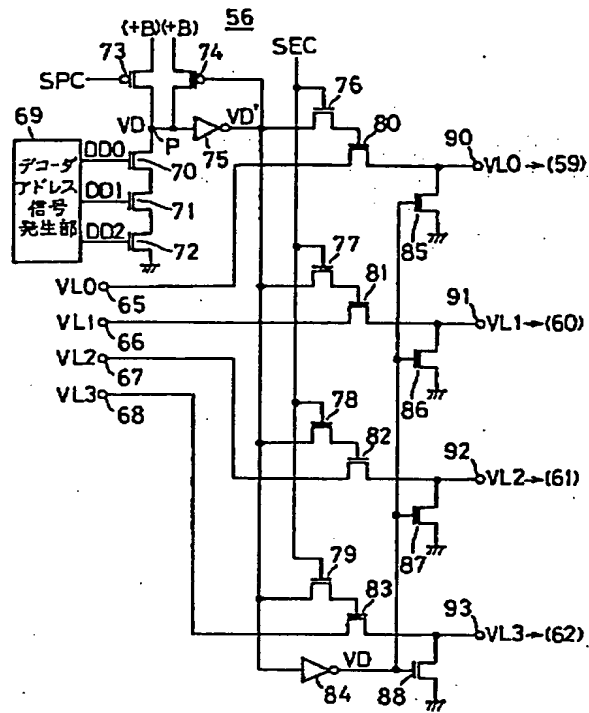
【図5】



【図 1】



【図 2】



【図3】

